

OTS 소자 적합성 평가

학과 | 전자재료공학과

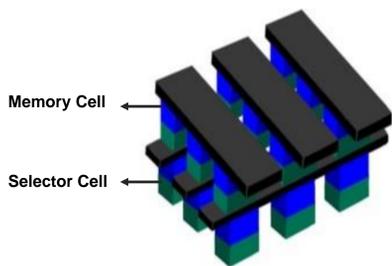
팀명 | 2재용

지도교수 | 이윤경

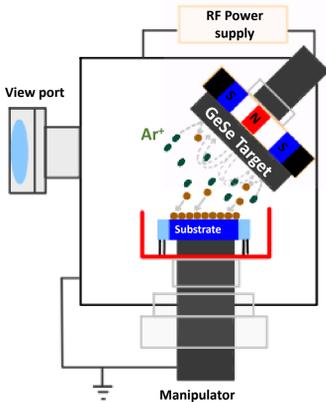
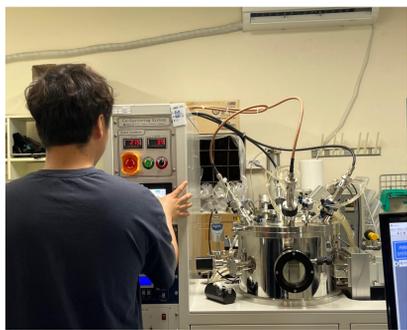
팀원 | 홍정준, 강하나, 박재용, 김민서

제작동기

- 반도체 산업에서는 지속적으로 소자의 소형화와 고집적화가 추구하고 있습니다. 이러한 추구는 효율성과 성능 향상에 기여하지만, 기존의 실리콘(Si) 기반 트랜지스터는 누설 전류의 증가, 구동 전류의 감소, ON/OFF 비율 감소 등 다양한 문제에 직면하고 있습니다.
- 3D crossbar array를 기반으로 하는 PRAM, RRAM 등이 주목받기 시작했습니다. 이들 기술은 높은 집적도와 효율성을 제공하지만, 각 Cell 간의 누설 전류와 Reading 과정에서의 노이즈 문제로 인해 정확한 데이터 읽기에 어려움을 겪고 있습니다. 이러한 문제를 해결하기 위해서는 누설 전류를 줄이는 것이 필수적이며, 이를 위해 메모리 소자에 정류 특성을 가지는 Selector의 도입이 필요합니다.
- 특히, Chalcogenide 물질의 OTS(ovonic Threshold Switch) 현상을 이용하는 Selector가 이러한 문제의 해결책으로 제시되고 있습니다.
- 따라서, 본 프로젝트의 목적은 이러한 배경과 필요성에 기반하여, Chalcogenide 물질 기반의 Selector를 직접 제작하고, 물성 및 전기적 특성을 분석하는 데 있습니다.

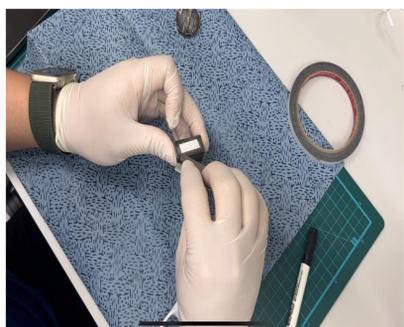


제작과정



실험 과정

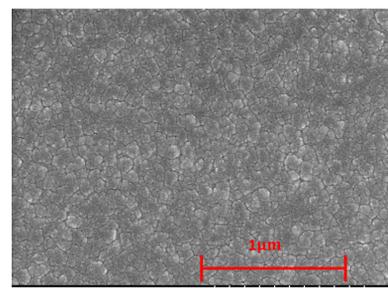
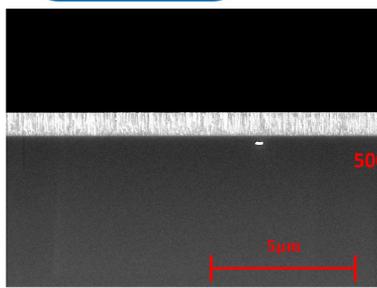
- 1) 기판(SiO2가 증착된 Si wafer)을 아세톤-IPA-BOE(산화막제거)-아세톤-IPA 순으로 cleaning 후, 질소 가스로 불어주기
- 2) 준비된 sample을 chamber에 로딩
- 3) Chamber를 터보펌프를 이용하여 저진공(6×10^{-4} ~3torr) 상태로 만들면서 플라즈마를 형성 후, sputtering 진행 (아르곤의 유속: 20sccm, 증착시간 25min)
- 4) 증착온도는 80°C, RF전압은 100W로 고정
- 5) 그 후 레시피에 따라 실험 진행(N 및 Sb doping 과정)



측정 과정

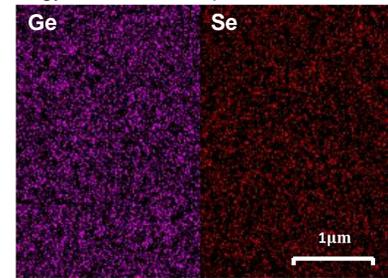
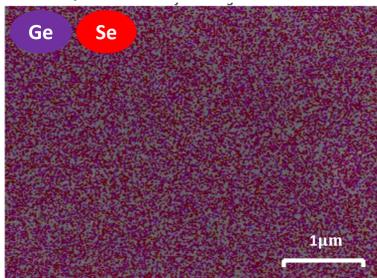
- 결정화 온도 파악하기 위해 400, 500, 600°C 에서 annealing 후 XRD 측정
- sample의 homopolar bonding의 유무를 파악하기 위해 Raman 측정
- sample의 thickness 와 morphology 및 원소조성 분석을 위해 SEM 과 EDS 측정

제품설명



SEM

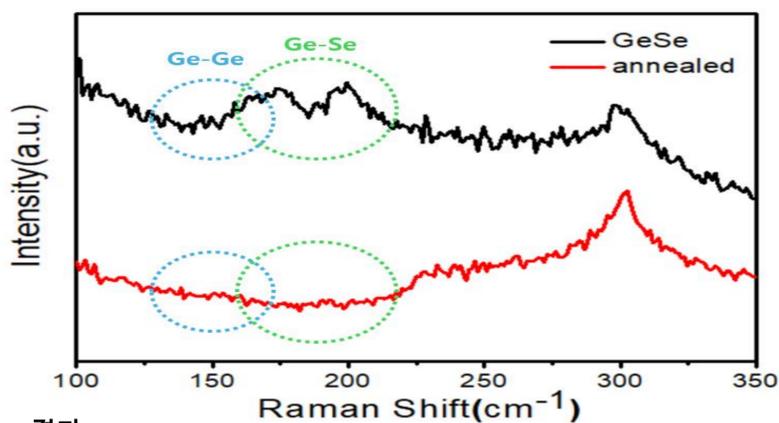
1. sample의 단면을 확인하여 증착한 sample의 두께가 500nm임을 확인
2. sample의 표면 분석을 통해 균일한 morphology를 가지는 sample 증착 확인



EDS

sample의 조성비 확인 O : 9.27%, Ge : 45.99%, Se : 44.74%(atomic %)
Sample 내 존재 원소들 식별 및 mapping, 각 원소의 상대적인 비율 정량화 (Ge, Se의 비율 1:1 확인)

결과 및 기대효과



결과

- Raman 측정결과 annealing 전/후 Ge-Ge / Ge-Se bonding 이 감소 확인
- 이러한 변화는 pristine current감소, first fire voltage 증가 등의 전기적 특성 향상에 기인할 것으로 예상
- 이는 후속 전기적특성 연구에서 진행 예정

기대효과

1. 누설 전류 감소: Chalcogenide 물질을 기반으로 한 Selector의 도입은 누설 전류를 획기적으로 줄여 전력 소모를 줄이고, 메모리 소자의 효율성 향상에 기여
2. 데이터 저장 및 읽기의 정확성 향상: Selector의 정류 특성은 각 Cell 간의 전류 누설 및 Reading 과정에서의 노이즈 문제를 해결함으로써 데이터의 저장 및 읽기 과정에서의 정확성을 향상

Future plan(electrical characteristics improvement test scheduled)

